

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-315104

(43)Date of publication of application : 08.11.1994

(51)Int.Cl.

H04N 5/21

H03H 17/02

H04N 5/93

(21)Application number : 05-216755

(71)Applicant : SONY CORP

(22)Date of filing : 31.08.1993

(72)Inventor : NISHIKATA TAKEHARU
KONDO TETSUJIRO

(30)Priority

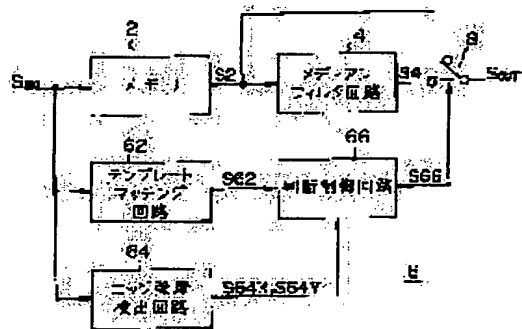
Priority number : 05 45483 Priority date : 05.03.1993 Priority country : JP

(54) FILTER CIRCUIT

(57)Abstract:

PURPOSE: To provide the filter circuit in which the picture quality of an edge part, etc., are not deteriorated by executing a filter processing.

CONSTITUTION: The filter circuit is provided with a video data memory 2, a median filter circuit 4 for selecting and outputting a middle value, a noise detecting/discriminating circuit 6, and a switch circuit 8. The noise detecting/ discriminating circuit 6 consists of a template matching circuit 62, an edge strength detecting circuit 64 and a decision control circuit 66. The template matching circuit 62 detects an impulsive noise by applying a second order differential operator to a video input signal SIN. The edge strength detecting circuit 64 detects an edge part by applying a first order differential operator to the video input signal SIN. The decision control circuit 66 outputs an output of the median filter circuit 4 through the switch circuit 8, only in the case a noise is detected, and that which is detected as its noise is not an edge, and outputs a value of the video input signal SIN as it is, when a noise is not detected.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平6-315104

(43)公開日 平成6年(1994)11月8日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 N 5/21	B			
H 0 3 H 17/02	D	7037-5 J		
H 0 4 N 5/93	B	4227-5 C		

審査請求 未請求 請求項の数 9 O L (全 12 頁)

(21)出願番号 特願平5-216755

(22)出願日 平成5年(1993)8月31日

(31)優先権主張番号 特願平5-45483

(32)優先日 平5(1993)3月5日

(33)優先権主張国 日本 (J P)

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 西片 丈晴

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72)発明者 近藤 哲二郎

東京都品川区北品川6丁目7番35号 ソニー株式会社内

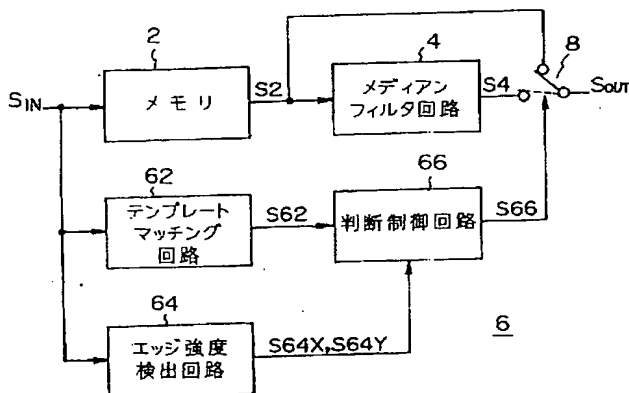
(74)代理人 弁理士 小池 晃 (外2名)

(54)【発明の名称】 フィルタ回路

(57)【要約】

【目的】 フィルタ処理することにより、エッジ部分の画質などが低下しないフィルタ回路を提供する。

【構成】 フィルタ回路は、ビデオデータメモリ2、中間の値を選択して出力するメディアンフィルタ回路4、ノイズ検出・判別回路6、及び、スイッチ回路8を有する。ノイズ検出・判別回路6は、テンプレートマッチング回路62とエッジ強度検出回路64と、判断制御回路66とからなる。テンプレートマッチング回路62は2階微分オペレータをビデオ入力信号S_{IN}に適用してパルス性ノイズを検出する。エッジ強度検出回路64はビデオ入力信号S_{IN}に1階微分オペレータを適用して、エッジ部分を検出する。判断制御回路66は、ノイズが検出され、そのノイズとして検出されたものでエッジでない場合のみ、メディアンフィルタ回路4の出力をスイッチ回路8を介して出力し、ノイズが検出されないときはビデオ入力信号S_{IN}の値そのままを出力する。



【特許請求の範囲】

【請求項1】 画像データについて所定のフィルタ処理を行なうフィルタ処理手段と、

画像データに含まれるノイズを算出し、ノイズを検出したときのみ上記フィルタ処理手段の処理を有効化するノイズ検出・判別手段とを有することを特徴とするフィルタ回路。

【請求項2】 上記ノイズ検出・判別手段は、画像データの孤立点を検出する孤立点検出手段と、画像データのエッジ強度を検出するエッジ強度検出手段とを有し、上記孤立点検出手段で孤立点を検出し、エッジ強度検出手段でエッジ強度を検出しないとき、上記フィルタ処理手段の処理を有効化することを特徴とする請求項1記載のフィルタ回路。

【請求項3】 上記孤立点検出手段は、画像データについて2階微分処理を行なうことを特徴とする請求項2記載のフィルタ回路。

【請求項4】 上記孤立点検出手段が行なう上記2階微分処理においては $n \times n$ (n は3以上)の2階微分オペレータを用いてテンプレートマッチングを行なうことを特徴とする請求項3記載のフィルタ回路。

【請求項5】 上記エッジ強度検出手段は、二次元画像データの直交する二方向、及び交差する斜め方向、または、いずれか一方について、画像データについて1階微分処理を行なうことを特徴とする請求項1、2、3または4記載のフィルタ回路。

【請求項6】 上記エッジ強度検出手段が行なう上記1階微分処理で用いる1階微分オペレータは、ソベルのオペレータであることを特徴とする請求項5記載のフィルタ回路。

【請求項7】 上記フィルタ処理手段は、メディアンフィルタ回路を有することを特徴とする請求項1、2、3、4、5または6記載のフィルタ回路。

【請求項8】 画像データについて所定のフィルタ処理を行うフィルタ処理手段と、画像データから任意の局所ブロックを抜き出し、任意の局所ブロック毎に複数の画素データから画像の複数の特徴を検出する特徴検出手段と、

上記特徴検出手段の所定の特徴出力が孤立点候補であるか否かを判断する孤立点候補判断手段と、上記特徴検出手段の複数の特徴出力の内の上記所定の特徴出力と、他の複数の特徴出力との大きさを比較し、上記所定の特徴出力が大きいときに上記孤立点候補判断手段で判断された孤立点候補を孤立点と判断し、上記フィルタ処理手段の処理を有効化することを特徴とする孤立点判断手段とを有することを特徴とするフィルタ回路。

【請求項9】 上記特徴検出手段は画素データに対し $n \times n$ (n は3以上)の2階微分オペレータを用いテンプレートマッチングを行う2階微分処理で画像の特徴を検出することを特徴とする請求項8記載のフィルタ回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、画像データをフィルタ処理するフィルタ回路に関するものであり、特に、ノイズが実際に発生した場合のみフィルタ処理を行なうフィルタ回路に関する。

【0002】

【従来の技術】 ノイズの影響を回避するため、種々のフィルタ処理が試みられている。ビデオカセット装置などの映像信号（ビデオデータ）の画像処理においては、例えば、メディアンフィルタ処理が知られている。

【0003】 メディアンフィルタ処理とは、ある時点のデータを決定する際、その時点の前後のデータを並べて、それらの中間（メディアン）の値を、その時点のデータとして決定するフィルタ処理である。

【0004】 図8を参照してメディアンフィルタ処理の具体例を説明する。図8に示す時点 t_1 、 t_2 、 t_3 、 t_4 において、本来、破線で示すように、ビデオデータが a 、 b 、 c 、 d と変化する筈が、実線に示すように、時点 t_2 において、値 b に代えてノイズ n が発生したとする。メディアンフィルタ処理をしないときは、ビデオデータは、 a 、 n 、 c 、 d となる。

【0005】 メディアンフィルタ処理を行なった場合、ノイズが発生した時点 t_2 の処理結果は、注目点 t_2 の前後の3点のデータ、 a 、 n 、 c を大きい値の順に並べて、その中間の値 c を時点 t_2 の値とする。次の時点 t_3 においては、データ n 、 c 、 d を大きい順に並べてその中間のデータ n を時点 t_3 の値とする。したがって、メディアンフィルタ処理をした場合、その結果は、一点鎖線で示した変化のようになる。

【0006】 このように、メディアンフィルタ処理では、通常の平均処理または移動平均処理などの線形フィルタ処理におけるように、ノイズ成分自体が周囲のデータで弱められノイズそのものが消滅するのではなく、ノイズ自体が含まれてくることがあるが、線形フィルタ処理に比較して、パルス性ランダムノイズを効果的に抑えることができると言われている。

【0007】

【発明が解決しようとする課題】 ところで、ビデオデータは通常、関連する部分は強い相関性を持っているので上記メディアンフィルタ処理を行なうと、ビデオデータの性質によっては、例えば、エッジ部分などのノイズの影響を受けていない他の画素までも劣化させてしまい、ビデオデータを不本意に劣化させる可能性がある。

【0008】 もちろん、通常の線形フィルタである例えば移動平均処理を用いても、場合によっては、一般的にノイズ処理をするとエッジ部分が滑らかになりすぎ元のビデオデータの画質が低下するという問題がある。

【0009】 本発明は、上記実情に鑑みてなされたものであり、ビデオデータの画質を低下させず、実質的にノ

イズ部分についてのみ、フィルタ処理を可能にするフィルタ回路の提供を目的とする。

【0010】

【課題を解決するための手段】本発明に係るフィルタ回路は、画像データについて所定のフィルタ処理を行なうフィルタ処理手段と、画像データに含まれるノイズを算出し、ノイズを検出したときのみ上記フィルタ処理手段の処理を有効化するノイズ検出・判別手段とを有することによって上記課題を解決する。

【0011】この場合、上記ノイズ検出・判別手段は、画像データの孤立点を検出する孤立点検出手段と、画像データのエッジ強度を検出するエッジ強度検出手段とを有し、上記孤立点検出手段で孤立点を検出し、エッジ強度検出手段でエッジ強度を検出しないとき、上記フィルタ処理手段の処理を有効化するのが好ましい。

【0012】また、上記孤立点検出手段は、画像データについて2階微分処理を行なうのが好ましい。

【0013】また、上記孤立点検出手段が行なう上記2階微分処理においては $n \times n$ (n は3以上)の2階微分オペレータを用いてテンプレートマッチングを行なってもよい。

【0014】また、上記エッジ強度検出手段は、二次元画像データの直交する二方向、及び交差する斜め方向、または、いずれか一方について、画像データについて1階微分処理を行なうのが好ましい。

【0015】また、上記エッジ強度検出手段が行なう上記1階微分処理で用いる1階微分オペレータは、ソベルのオペレータであってもよい。

【0016】また、上記フィルタ処理手段は、メディアンフィルタ回路を有してもよい。

【0017】また本発明に係るフィルタ回路は、画像データについて所定のフィルタ処理を行うフィルタ処理手段と、画像データから任意の局所ブロックを抜き出し、任意の局所ブロック毎に複数の画素データから画像の複数の特徴を検出する特徴検出手段と、上記特徴検出手段の所定の特徴出力が孤立点候補であるか否かを判断する孤立点候補判断手段と、上記特徴検出手段の複数の特徴出力の内の上記所定の特徴出力と、他の複数の特徴出力との大きさを比較し、上記所定の特徴出力が大きいときに上記孤立点候補判断手段で判断された孤立点候補を孤立点と判断し、上記フィルタ処理手段の処理を有効化する孤立点判断回路とを有することを特徴として上記課題を解決する。

【0018】この場合、上記特徴検出手段は画素データに対し $n \times n$ (n は3以上)の2階微分オペレータを用いテンプレートマッチングを行う2階微分処理で画像の特徴を検出するのが好ましい。

【0019】

【作用】本発明に係るフィルタ回路は、ノイズ検出・判別手段がビデオデータのエッジ部分をノイズとせず、実

際にノイズが存在するか否かを検出し、ノイズが検出されたときのみ、メディアンフィルタ回路などのフィルタ手段の処理を有効化し、ノイズが存在する部分の周辺についてのみフィルタ処理を行なう。

【0020】すなわち、ビデオデータの変化が大きくてもエッジ部分はノイズとして検出されず、フィルタ処理が行なわれないから、エッジ強度が低下して、本来のエッジ強度が損なわれることはない。

【0021】また、ノイズ発生部分以外はフィルタ処理されないから、元のビデオデータがそのまま残る。

【0022】孤立点検出手段は、例えば、 $n \times n$ (n は3以上)の2階微分オペレータを用いてビデオデータについてテンプレートマッチングで2階微分を行なってノイズ成分を検出する。

【0023】エッジ強度検出手段は、2次元画像データの直交する二方向、および、交差する斜め方向、または、いずれか一方について、画像データについて1階微分処理を行い、エッジ強度を検出する。ここで、エッジが検出されたときは、フィルタ処理手段によるフィルタ処理は、無効化される。

【0024】また、本発明に係るフィルタ回路は、特徴検出手段が検出した任意の局所ブロック毎の画像の複数の特徴出力の内所定の特徴出力を孤立点候補判断手段が孤立点候補であるか否かを判断し、この孤立点候補判断回路で判断された孤立点候補を孤立点とするか否かの判断を孤立点判断手段が上記所定の特徴出力と他の複数の特徴出力との大きさの比較により行い、孤立点であると判断したときにのみフィルタ処理手段を有効化するので、ビデオデータの画質を低下させず、実質的にノイズ部分についてのみフィルタ処理を行うことができる。

【0025】

【実施例】以下、本発明に係るフィルタ回路の2つの実施例（以下、第1実施例、第2実施例と記す）を説明する。先ず、第1実施例に係るフィルタ回路を図1の回路図を参照しながら説明する。

【0026】この第1実施例に係るフィルタ回路は、ビデオ入力信号 S_{IN} を記憶するビデオデータメモリ2、ビデオデータ入力信号 S_{IN} についてメディアンフィルタ処理を行なうメディアンフィルタ回路4、ノイズ検出・判別回路6、及びスイッチ回路8を有する。

【0027】ノイズ検出・判別回路6は、テンプレートマッチング回路62、エッジ強度検出回路64および判断制御回路66を有する。

【0028】テンプレートマッチング回路62はビデオ入力信号 S_{IN} に含まれているノイズ成分を検出する回路である。

【0029】判断制御回路66は、テンプレートマッチング回路62でノイズを検出し、かつ、エッジ強度検出回路64においてエッジが検出されないとき、スイッチ回路8を図示破線の状態に切り替えて、メディアンフィ

ルタ回路4のフィルタ処理結果をフィルタ処理ビデオ出力信号SOUTとして出力させる。また、判断制御回路6は、ノイズが検出されないとき、あるいは、仮にテンプレートマッチング回路62においてノイズが検出されたと判断されても、エッジ強度検出回路64においてエッジが存在すると判断されるときは、スイッチ回路8を実線に示す位置に切り替えて、ビデオデータメモリ2からのビデオ入力信号SINを出力する。

【0030】つまり、ノイズ検出・判別回路6及びスイッチ回路8は、実際にノイズが存在するときのみ、メディアフィルタ回路4のフィルタ処理結果をビデオ出力信号SOUTとして出力し、実際にノイズが存在しないときは、元のビデオ入力信号SINを出力する。

【0031】ビデオ入力信号SINに含まれているノイズ成分IPを検出するテンプレートマッチング回路62の詳細について述べる。このノイズ成分IPの検出は、次の(1)式に示した積和演算を行い、その演算結果が所定の値を越えているとき、実質的にノイズが存在すると決定する。

【0032】

【数1】

$$IP = \sum_{j=1}^3 \sum_{i=1}^3 \Delta(S_{IN})_{ij} \quad \dots(1)$$

【0033】この(1)式において、オペレータ Δ は2階微分オペレータであるラプラシアン(Laplacian)オペレータを示し、この第1実施例では、次の(2)式に示すように、二次元状に配列されているビデオ入力信号SINのある注目画素を中心として、3×3の領域について、積和演算を行なう。

【0034】

【数2】

$$\Delta = \begin{bmatrix} 0 & -1 & 0 \\ -1 & 4 & -1 \\ 0 & -1 & 0 \end{bmatrix} \quad \dots(2)$$

【0035】この(2)式では、ラプラシアンオペレータの注目画素についての係数が4と大きく、その周辺の係数が-1と0と小さいので、パルス性ノイズが存在すると、その積和演算結果は大きくなる。

【0036】一方、ノイズが存在しない場合は、通常、ビデオデータは相関を持っているから、(1)式に示した積和演算結果は「0」に近くなる。

【0037】テンプレートマッチング回路62は、積和演算結果の絶対値が所定の大きさを越えているときノイズ成分を検出したとして、「ハイレベル(H)」の論理信号S62を、積和演算結果の絶対値が所定の大きさを越えていないときノイズ成分は存在しないとして、「ローレベル(L)」の論理信号S62を、判断制御回路6

6に出力する。

【0038】エッジ強度検出回路64は、二次元状に配列されているビデオ入力信号SINについて、X方向オペレータY方向オペレータからビデオ入力信号SINのエッジ強度を検出する。X方向のエッジ強度EXの検出は、次の(3)式による。

【0039】

【数3】

$$E_x = \sum_{j=1}^3 \sum_{i=1}^3 S_x(S_{IN})_{ij} \quad \dots(3)$$

【0040】オペレータSXとしては次の(4)式に示すソベル(Sobel)のオペレータを用いる。

【0041】

【数4】

$$S_x = \begin{bmatrix} -1 & 0 & 1 \\ -2 & 0 & 2 \\ -1 & 0 & 1 \end{bmatrix} \quad \dots(4)$$

【0042】同様に、Y方向のエッジ強度EYの検出は、次の(5)式による。

【0043】

【数5】

$$E_y = \sum_{j=1}^3 \sum_{i=1}^3 S_y(S_{IN})_{ij} \quad \dots(5)$$

【0044】オペレータSYとしても次の(6)式に示すソベルのオペレータを用いる。

【0045】

【数6】

$$S_y = \begin{bmatrix} -1 & -2 & -1 \\ 0 & 0 & 0 \\ 1 & 2 & 1 \end{bmatrix} \quad \dots(6)$$

【0046】上記(4)及び(6)式に示したソベルのオペレータは共に、X方向及びY方向についてのエッジ強度を算出するための1階微分オペレータの一例である。

【0047】上記(3)式は積和演算であり、X方向にエッジが存在しなければX方向のエッジ強度EXはほぼ「0」に近い値になる。上記(5)も同様に、積和演算であり、Y方向にエッジが存在しなければY方向のエッジ強度EYはほぼ「0」に近い値になる。

【0048】一方、X方向にエッジが存在するとき、エッジ強度EXの絶対値は所定の値を越える。同様に、Y方向にエッジが存在するとき、エッジ強度EYの絶対値は所定の値を越える。

【0049】エッジ強度検出回路64においては、エッジ強度 E_x の絶対値が所定の値を越えたとき、X方向にエッジが検出されたことを示す「H」レベルの論理信号S64Xを判断制御回路66に出力する。エッジが検出されないときは、その論理信号は「L」レベルである。

【0050】同様に、エッジ強度検出回路64においては、エッジ強度 E_y の絶対値が所定の値を越えたとき、Y方向にエッジが検出されたことを示す「H」レベルの論理信号S64Yを判断制御回路66に出力する。エッジが検出されないときは、その論理信号は「L」レベルである。

【0051】図2は判断制御回路66の動作を示すフローチャートである。ステップS1では、判断制御回路66はまず、テンプレートマッチング回路62からの信号S62を入力し、信号S62が「H」レベル、つまり、ノイズが検出されたか否かを判断する。

【0052】ステップS2では、信号S62が「H」レベルであり、仮にノイズが検出された場合、判断制御回路66は、さらに、エッジ強度検出回路64からの信号S64X、S64Yのいずれかが「H」レベルであるか否か、つまり、X、Yいずれかの方向にエッジが存在するか否かを検出する。換言すれば、テンプレートマッチング回路62で一応ノイズとして検出された画素部分が実際にはエッジであるか否かを判別する。

【0053】ステップS3では、ステップS1及びステップS2の処理において、実質的にノイズ成分が存在していないと判断したときは、判断制御回路66はスイッチ回路8を図示実線の位置に切り替え、ビデオデータメモリ2に記憶されたビデオ入力信号S_{IN}をそのまま出力させる。

【0054】ステップS4では、ステップS1及びステップS2の処理において、実質的にノイズ成分が存在していると判断したときに、判断制御回路66がスイッチ回路8を図示破線の位置に切り替えて、メディアンフィルタ回路4においてフィルタ処理された結果をフィルタ処理ビデオ出力信号S_{OUT}として出力させる。

【0055】メディアンフィルタ回路4におけるメディアンフィルタ処理自体は図8を参照して図解したよう

に、ある注目時点の前後、たとえば、3点のデータの中間の値を選択する。

【0056】以上より、第1実施例に係るフィルタ回路によれば、ノイズが実際に存在する画素部分とその周囲についてのみメディアンフィルタ処理されるので、不用意にエッジ成分を劣化させるなどの悪影響を及ぼすことを回避できる。

【0057】次に、第2実施例に係るフィルタ回路を図3の回路図を参照しながら説明する。この第2実施例に係るフィルタ回路は、ビデオ入力信号S_{IN}を記憶するビデオデータメモリ11、このビデオデータメモリ11を介したビデオ入力信号S_{IN}が後述するメディアンフィルタ処理回路13に供給されるタイミングをもう一方の経路である後述する特徴検出回路14、孤立点候補検出回路15及び孤立点判断回路16に供給されるビデオ入力信号S_{IN}の処理タイミングに合わせるように遅延する遅延回路12、この遅延回路12からのビデオ入力信号S_{IN}についてメディアンフィルタ処理を行なうメディアンフィルタ回路13、上記ビデオデータメモリ11を介したビデオ入力信号S_{IN}の特徴を検出する特徴検出回路14、この特徴検出回路14の特徴出力から孤立点候補を判断する孤立点候補判断回路15、及びこの孤立点候補判断回路15の孤立点候補出力が孤立点であるか否かを判断する孤立点判断回路16とを有している。

【0058】特徴検出回路14は、画像データから任意の局所ブロックを抜き出し、任意の局所ブロック毎に複数の画素データから画像の複数の特徴を検出する。具体的には、画像から $n \times n$ （ここでは $n=3$ とする）の局所ブロックを抜き出し、この局所ブロック内の各画素に対応する $n \times n$ （ここでは $n=3$ とする）のいわゆるマスクオペレータを5個用いて、それぞれ積和を行い任意のブロックにおける画像の特徴を検出する。

【0059】ここで、上記局所ブロックの画素を x_{ij} とし、(7)式で示し、また、上記マスクパターンの係数を a_{ij} とし、(8)式で示すと、積和出力Mは、次の(9)式で表せる。

【0060】

【数7】

$$x_{ij} = \begin{bmatrix} x_{11} & x_{12} & x_{13} \\ x_{21} & x_{22} & x_{23} \\ x_{31} & x_{32} & x_{33} \end{bmatrix} \quad \dots(7)$$

【0061】

【数8】

$$a_{ij} = \begin{bmatrix} a_{11} & a_{12} & a_{13} \\ a_{21} & a_{22} & a_{23} \\ a_{31} & a_{32} & a_{33} \end{bmatrix} \quad \dots(8)$$

【0062】

【数9】

$$M = \sum_{i=1}^3 \sum_{j=1}^3 a_{ij} \times x_{ij} \quad \dots(9)$$

【0063】この特徴検出回路14で用いる5つのマスクオペレータ S_a 、 S_b 、 S_c 、 S_d 及び S_d を以下の(10)～(14)式に示す。

【0064】

【数10】

$$S_a = \begin{bmatrix} 0 & -1 & 0 \\ -1 & 4 & -1 \\ 0 & -1 & 0 \end{bmatrix} \quad \dots(10)$$

【0065】

【数11】

$$S_b = \begin{bmatrix} 0 & 4 & 0 \\ -1 & -1 & -1 \\ 0 & -1 & 0 \end{bmatrix} \quad \dots(11)$$

【0066】

【数12】

$$S_c = \begin{bmatrix} 0 & -1 & 0 \\ 4 & -1 & -1 \\ 0 & -1 & 0 \end{bmatrix} \quad \dots(12)$$

【0067】

【数13】

$$S_d = \begin{bmatrix} 0 & -1 & 0 \\ -1 & -1 & -1 \\ 0 & 4 & 0 \end{bmatrix} \quad \dots(13)$$

【0068】

【数14】

$$S_e = \begin{bmatrix} 0 & -1 & 0 \\ -1 & -1 & 4 \\ 0 & -1 & 0 \end{bmatrix} \quad \dots(14)$$

【0069】上記(10)式に示すマスクオペレータ S_a は、2階微分オペレータであるラプシアンオペレータを示し、孤立点が 3×3 の局所ブロックの中央の画素にある場合に、対応する係数が4と大きく、その周辺の係数が-1と0と小さいので、パルス性ノイズが存在すると、その積和演算結果は大きくなる。

【0070】また、上記(11)～(14)式に示すマスクオペレータ S_b 、 S_c 、 S_d 及び S_d は、孤立点が中心画素以外にある場合に、積和演算結果が大となる。

【0071】この第1実施例では、孤立点が中心画素以外にある場合については、メディアンフィルタ処理を行わないようにしている。これは、局所ブロックの抜き出し方によって、孤立点がいずれ中心画素となるためである。

【0072】上記(10)～(14)式に示したマスクオペレータ S_a 、 S_b 、 S_c 、 S_d 及び S_d による上記

(9)式の積和演算の出力結果 M_a 、 M_b 、 M_c 、 M_d 及び M_d は、

【0073】

【数15】

$$M_a = -x_{12} - x_{21} + 4x_{22} - x_{23} - x_{32} \quad \dots(15)$$

【0074】

【数16】

$$M_b = 4x_{12} - x_{21} - x_{22} - x_{23} - x_{32} \quad \dots(16)$$

【0075】

【数17】

$$M_c = -x_{12} + 4x_{21} - x_{22} - x_{23} - x_{32} \quad \dots(17)$$

【0076】

【数18】

$$M_d = -x_{12} - x_{21} - x_{22} + 4x_{23} - x_{32} \quad \dots(18)$$

【0077】

【数19】

$$M_e = -x_{12} - x_{21} - x_{22} - x_{23} + 4x_{32} \quad \dots(19)$$

【0078】となる。この特徴検出回路14で上記出力結果 M_a を得る際の演算の原理を図4を参照しながら説明する。上記(10)式に示されるマスクオペレータ S_a は、マスクオペレータ係数メモリ32に記憶されており、乗算器21、22、23、24及び25で上記(7)式に示される局所ブロックの画素 x_{ij} と乗算され、遅延器26、27、28、29及び30で遅延されて加算器31に供給され、出力結果 M_a が得られる。なお、出力結果 M_b 、 M_c 、 M_d 及び M_d も同様に得られる。

【0079】孤立点候補判断回路15は、特徴検出回路14の所定の特徴出力が孤立点候補であるか否かを判断する。ここでいう所定の特徴出力とは、上記出力結果 M_a であり、マスクオペレータ S_a を用いているので、孤立点が 3×3 の局所ブロックの中央の画素にある場合の特徴出力である。

$$\max(M_a, M_b, M_c, M_d, M_e) = M_a \quad (20)$$

となるときに上記孤立点候補を孤立点と判断する。

【0082】具体的に、この孤立点判断回路16は、図6にその詳細な構成を示すように最大値判断回路51で上記(20)式の左辺部を判断し、遅延器52を介した最大値判断出力と、遅延器53を介した出力結果 M_a とを比較器54で比較し、比較した結果によって遅延回路55を介し「H」レベル又はロー「L」レベルの論理信号をANDゲート57に供給している。このANDゲート57には、遅延器56を介した孤立点候補判断回路15からの「H」レベル又は「L」レベルの論理信号も供給されており、AND論理より両者が共に「H」レベルのとき、すなわち、出力結果 M_a が孤立点候補であり、かつ該出力結果 M_a が特徴出力の最大値であるときに処理にかかる画素が孤立点であると判断する。

【0083】このANDゲート57からの論理結果は、図7に詳細な構成を示すメディアンフィルタ処理回路13の選択器73に供給され、メディアン処理回路71が局所ブロックの画素 x_{21} 、 x_{22} 、 x_{23} を中間(メディアン)処理し遅延器72を介した値と、遅延器74を介しメディアン処理をしない画素値 x_{22} との選択を決定する。

【0084】すなわち、ANDゲート57から「H」レベルの論理信号が供給されると、このメディアンフィルタ処理回路13は、選択器73がメディアン処理回路71からのメディアン値を選択し、出力する。一方、ANDゲート57から「L」レベルの論理信号が供給されると、このメディアンフィルタ処理回路13は、選択器73がメディアン処理をしない画素値 x_{22} を選択し、出力する。

【0085】以上より、第2実施例に係るフィルタ回路によれば、複数の積和出力である特徴出力の最大値判定を行っているため、ノイズが実際に存在する画素部分とその周囲についてのみ確実にメディアンフィルタ処理

【0080】すなわち、この孤立点候補判断回路15は、特徴検出回路14で得られる中心画素孤立点によく反応する所定の特徴出力である出力結果 M_a が孤立点候補であるか否かを判断する。具体的に、この孤立点候補判断回路15は、図5に示すように、出力結果 M_a を絶対値変換回路41で絶対値 $|M_a|$ とし、遅延器42で遅延し、比較器43でしきい値 M_{TH} と比較している。比較器43での比較の結果、しきい値 M_{TH} よりも絶対値 $|M_a|$ が大きい($|M_a| > M_{TH}$)ときに、上記所定の特徴出力である出力結果 M_a すなわち処理にかかる画素が孤立点候補であると判断し、ハイ「H」レベルの論理信号を孤立点判断回路16に供給する。

【0081】孤立点判断回路16は、特徴検出回路14の出力結果 M_a と、他の出力結果 M_b 、 M_c 、 M_d 及び M_d との大きさを比較し、出力結果 M_a が最大であるとき、すなわち、

し、不用意にエッジ部分を劣化させるなどの悪影響を及ぼすことが確実に回避できる。

【0086】本発明の実施に際しては、上述した第1実施例、第2実施例に限らず、他に種々の変形態様をとることができる。

【0087】まず、第1実施例の説明において、(2)式、(4)式及び(6)式に示したオペレータ、及び、係数は例示であり、その演算処理の範囲の大きさ、つまり、(3)式に示したラプラシアン・オペレータの次数 $n \times n$ とその係数、(4)式および(6)式に示した1階微分オペレータの次数 $m \times m$ とその係数は、(2)式、(4)式、及び、(6)式に示したものに限らず、他にも種々とすることができる。

【0088】また、第1実施例の説明において用いた(4)式及び(6)に示したX方向及びY方向ソベルオペレータに代えて、あるいは、これらに加えて、X及びY方向と45度をなす斜め方向のエッジを検出してもよい。

【0089】また、図1に示した第1実施例の回路構成としては、メディアンフィルタ回路4において、常時、ビデオデータメモリ2からのビデオ入力信号 S_{IN} を用いてメディアンフィルタ処理する場合について述べたが、判断制御回路66において、実際にノイズが検出されたときのみ、メディアンフィルタ回路4を動作させるように構成することもできる。つまり、ビデオデータメモリ2とメディアンフィルタ回路4との間に第2のスイッチ回路(図示せず)を設けて、判断制御回路66は、ノイズが検出されたとき、第2のスイッチ回路を介してビデオ入力信号 S_{IN} をメディアンフィルタ回路4に印加させてメディアンフィルタ処理を行い、その結果をスイッチ回路8を介して出力させる。

【0090】これらの回路を構成するに際して、テンプレートマッチング回路62、エッジ強度検出回路64お

よび判断制御回路66、および、メディアンフィルタ回路4、またはこれらのいずれかを、デジタルシグナルプロセッサ(DSP)を用いて構成してもよく、または、専用のハードウェア回路で構成することもできる。あるいは、判断制御回路66のみをマイクロプロセッサなどを用いて構成してもよい。

【0091】さらに第1実施例に係るフィルタ回路では、図1に示したスイッチ回路8の後段に、たとえば、移動平均処理などを行なう線形フィルタ回路、その他のフィルタ回路を設けることができる。このような付加的なフィルタ回路を設けると、ノイズが存在する部分についてのみ、メディアンフィルタ回路4でメディアンフィルタ処理され、その以外の部分は元のビデオデータであるから、メディアンフィルタ処理され実質的にノイズの存在しなくなったビデオデータに、本来のフィルタ処理を行なうことが可能になる。

【0092】また第1実施例の実施に際しては、メディアンフィルタ回路4に代えて、任意のノイズ処理(除去)フィルタ回路を設けることができる。

【0093】つまり、第1実施例のノイズ検出・判別回路6を用いる処理はメディアンフィルタ処理に限らず、他のノイズ処理にも適用できる。

【0094】さらに、第2実施例の説明において、(10)~(14)式に示したマスクオペレータは例示であり、その演算処理の範囲の大きさ、つまり、(9)式に示した積和出力の演算式の次数 $n \times n$ とその係数は、他にも種々とることができる。

【0095】さらにまた、図3に示した第2実施例の回路構成のメディアンフィルタ処理回路13としては、図8に示すように選択器73で孤立点判断回路16からの論理信号によりメディアン処理値とメディアン処理されない値とを選択し、出力するようにしているが、メディアンフィルタ処理回路13の後段に図示しないスイッチ回路を設け、孤立点判断回路16で孤立点を判断したときに、該スイッチ回路の切り替えを制御し、メディアン処理値を出力させるようにしてもよい。この場合、孤立点判断回路16で孤立点を判断しないときには、遅延回路12からのメディアン処理されない値を出力させる。

【0096】さらにまた、これらの回路を構成するに際しても、遅延回路12、メディアンフィルタ処理回路13、特徴検出回路14、孤立点候補判断回路15及び孤立点判断回路16、またはこれらのいずれかを、DSPを用いて構成してもよく、または、専用のハードウェア回路で構成することもできる。

【0097】さらにまた、この第2実施例に係るフィルタ回路でも、図3に示したメディアンフィルタ処理回路13の後段に、たとえば、移動平均処理などを行なう線形フィルタ回路、その他のフィルタ回路を設けることができる。このような付加的なフィルタ回路を設けると、ノイズが存在する部分についてのみ、メディアンフィル

タ処理回路13でメディアンフィルタ処理され、その以外の部分は元のビデオデータであるから、メディアンフィルタ処理され実質的にノイズの存在しなくなったビデオデータに、本来のフィルタ処理を行なうことが可能になる。

【0098】本発明のフィルタ回路はビデオデータを用いる種々の装置に適用でき、ビデオカセット装置への適用に限定されない。なお、ビデオカセット装置などにおいては、ノイズを含む場合、付加コードとしてエラー訂正ブロックを設けているが、本発明によれば、エラー訂正ブロックを設ける必要がなくなる。

【0099】

【発明の効果】本発明に係るフィルタ回路によれば、ノイズ検出・判別手段がビデオデータのエッジ部分をノイズとせず、実際にノイズが存在するか否かを検出し、ノイズが検出されたときのみ、メディアンフィルタ回路などのフィルタ手段の処理を有効化し、実際にノイズが存在する画素及びその周辺についてのみ、ノイズ除去のためのフィルタ処理を行い、意図しない画質の低下を防止できる。

【0100】また、本発明に係るフィルタ回路によれば、特徴検出手段が検出した任意の局所ブロック毎の画像の複数の特徴出力の内所定の特徴出力を孤立点候補判断手段が孤立点候補であるか否かを判断し、この孤立点候補判断回路で判断された孤立点候補を孤立点とするか否かの判断を孤立点判断手段が上記所定の特徴出力と他の複数の特徴出力との大きさの比較により行い、孤立点であると判断したときにのみフィルタ処理手段を有効化するので、ノイズが実際に存在する画素部分とその周囲についてのみ確実にメディアンフィルタ処理を行い、不用意にエッジ部分を劣化させ、ビデオデータの画質を低下させるなどの悪影響を及ぼすことが確実に回避できる。

【図面の簡単な説明】

【図1】本発明のフィルタ回路の第1実施例の回路構成図である。

【図2】図1に示した第1実施例の判断制御回路の動作処理を示すフローチャートである。

【図3】本発明のフィルタ回路の第2実施例の回路構成図である。

【図4】図3に示した第2実施例の特徴検出回路の詳細な回路構成図である。

【図5】図3に示した第2実施例の孤立点候補判断回路の詳細な回路構成図である。

【図6】図3に示した第2実施例の孤立点判断回路の詳細な回路構成図である。

【図7】図3に示した第2実施例のメディアンフィルタ処理回路の詳細な回路構成図である。

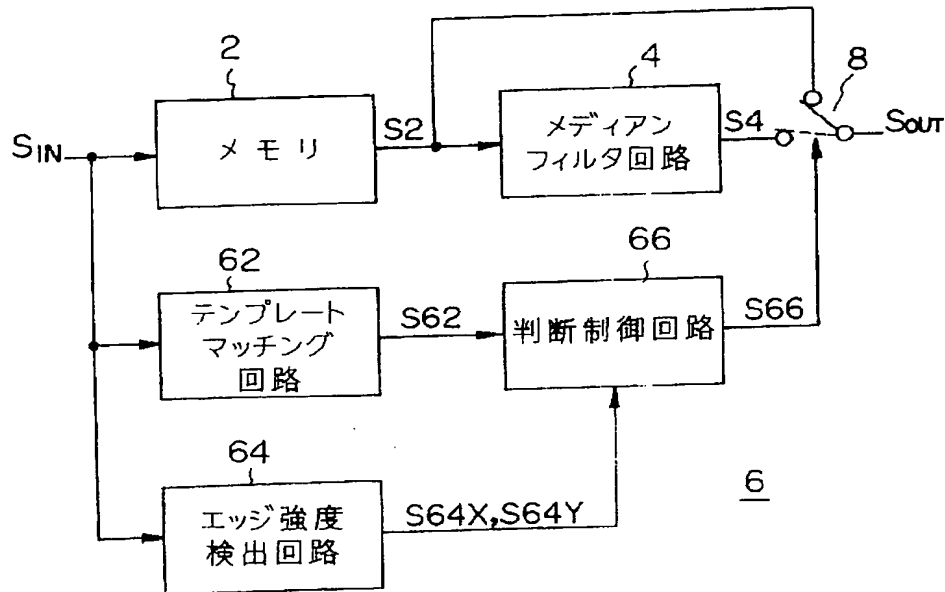
【図8】メディアンフィルタ処理を説明するための図である。

【符号の説明】

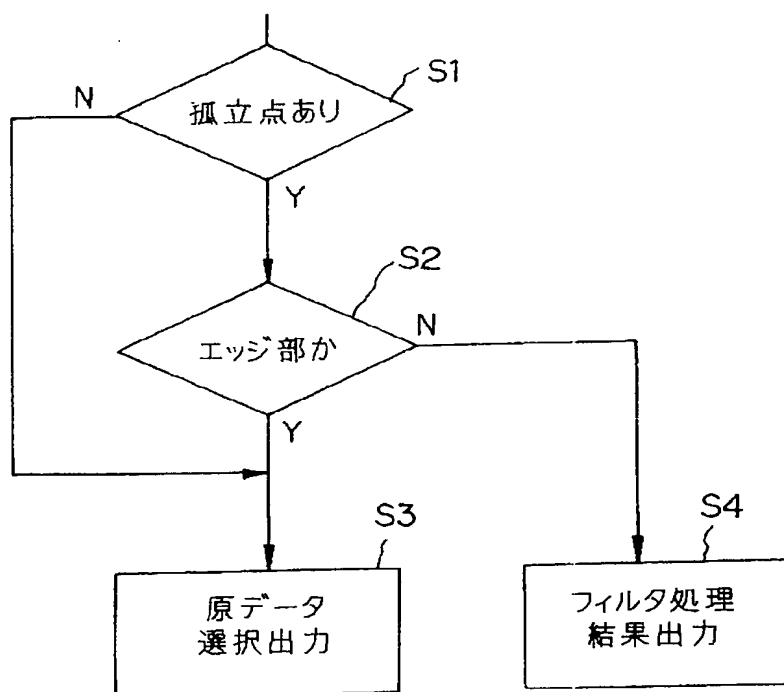
2, 11・・・ビデオデータメモリ
4, 13・・・メディアンフィルタ回路
6・・・ノイズ検出・判別回路
8・・・スイッチ回路

14・・・特徴検出回路
15・・・孤立点候補判断回路
16・・・孤立点判断回路
62・・・テンプレートマッチング回路
64・・・判断制御回路

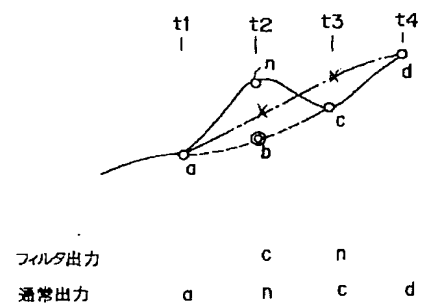
【図1】



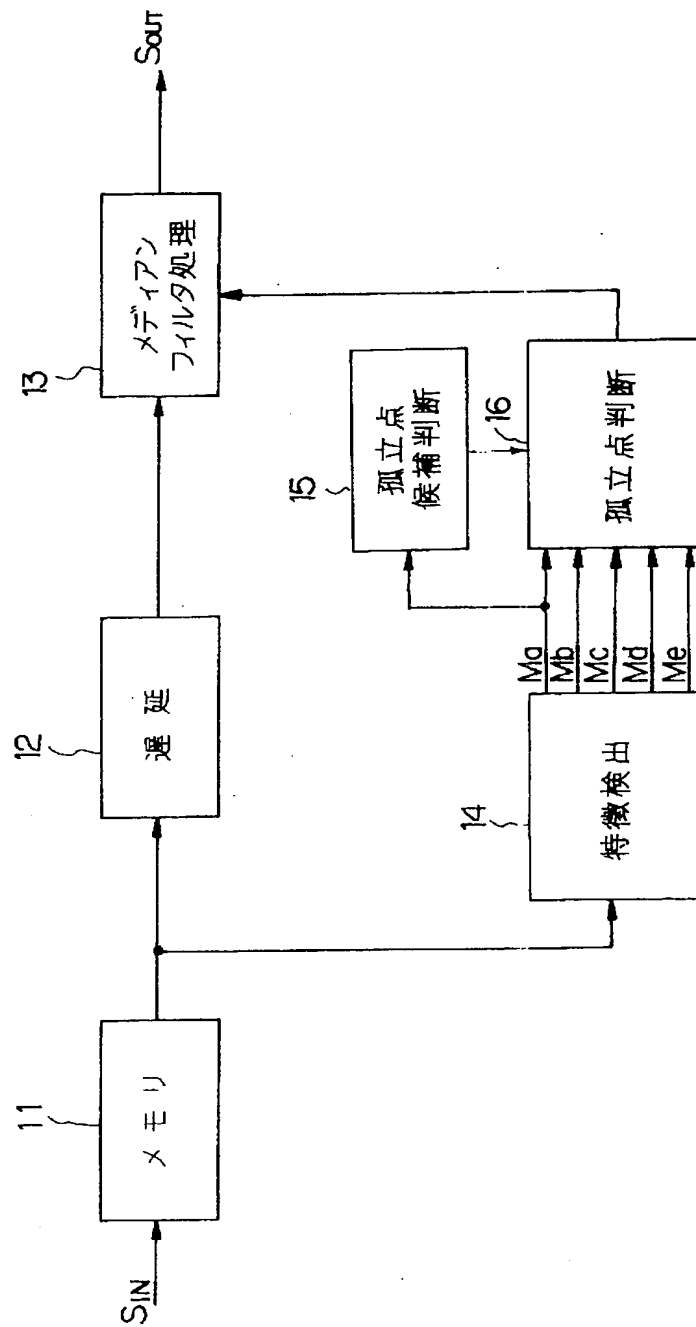
【図2】



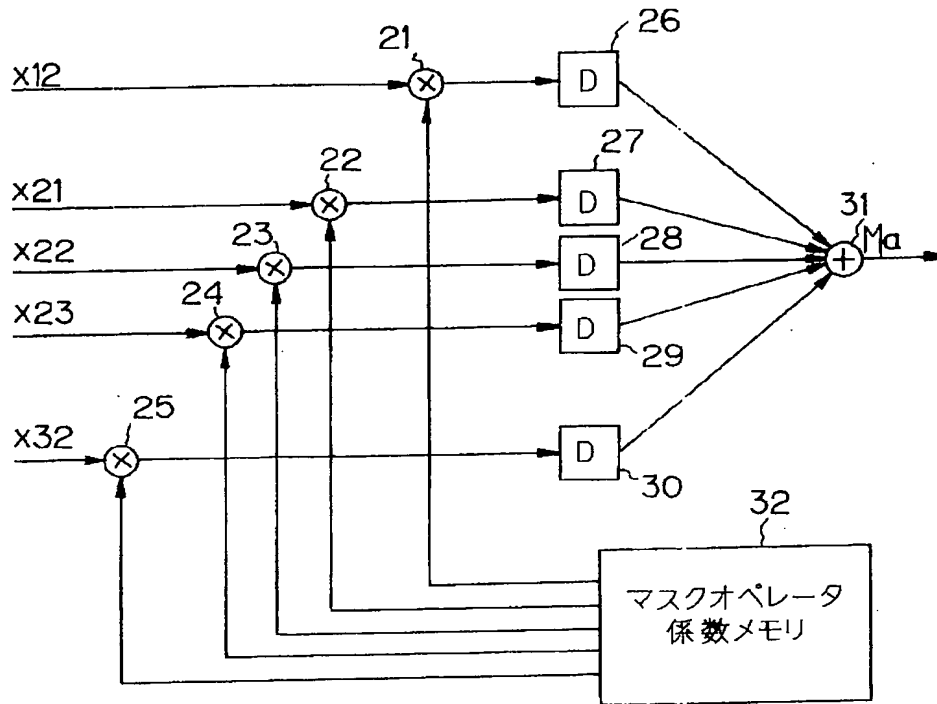
【図8】



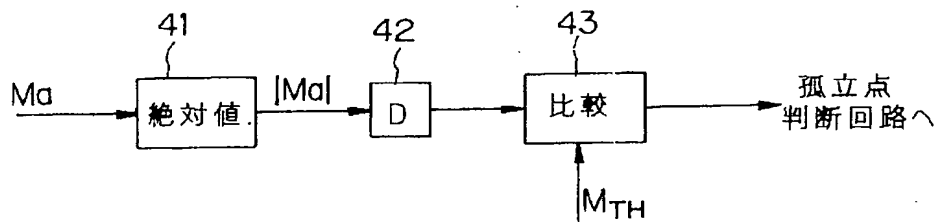
【図 3】



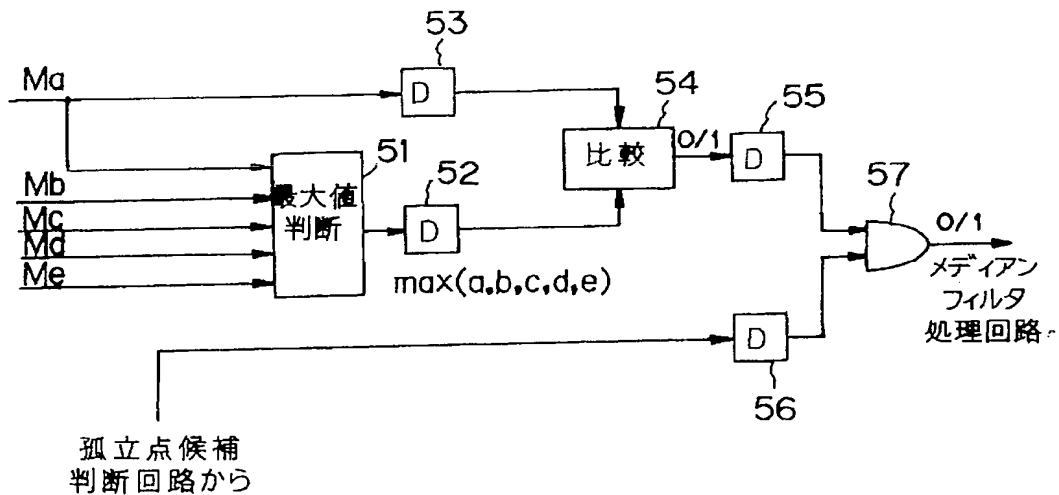
【図4】



【図5】



【図6】



【図7】

